

流水线模数转换器的一种数字校准技术

贾华宇, 陈贵灿, 程军, 张鸿, 沈磊
(西安交通大学电子与信息工程学院, 710049, 西安)

摘要: 为了降低流水线模数转换器中数字校准电路的规模和功耗, 提出了一种新的基于信号统计规律的后台数字校准技术. 该技术采用自适应搜索算法和二元单调函数的幅值增量比较算法, 分别对基于信号统计规律的数字校准技术中的距离估计电路和查找表进行优化设计, 减少了距离估计所需的数字电路和查找表所需的 ROM 空间, 极大地降低了数字电路的规模和功耗. 应用该校准技术实现了一个 12 位、采样率为 $4 \times 10^7 \text{ s}^{-1}$ 的流水线模数转换器. 测试结果表明, 同优化前相比, 该芯片数字电路的功耗降低了 93%, 所需 ROM 空间减小了 95%. 整个芯片采用 SMIC 0.18 μm CMOS 工艺设计, 总功耗为 210 mW, 芯片面积为 $3.3 \text{ mm} \times 3.7 \text{ mm}$.

关键词: 流水线模数转换器; 数字校准; 自适应搜索; 幅值增量比较

中图分类号: TN432 **文献标志码:** A **文章编号:** 0253-987X(2008)08-0991-05

A Digital Calibration Technique of Pipelined Analog-to-Digital Converter

JIA Huayu, CHEN Guican, CHENG Jun, ZHANG Hong, SHEN Lei
(School of Electronics and Information Engineering, Xi'an Jiaotong University, Xi'an 710049, China)

Abstract: To reduce the power dissipation and chip size of digital calibration circuits of pipelined analog-to-digital converter (ADC), a new statistics-based background calibration technique is presented. In order to improve both the residual distance estimator circuit and the design of look up table (LUT) in binary monotonically function, an adaptive search algorithm and a magnitude incremental comparison algorithm are used in the calibration technique. The technique can reduce the digital circuits' scale of distance estimator and the memory of ROM of LUT. By using the technique, the power dissipation in digital circuits and the chip size are reduced significantly. The improved technique is applied in the implementation of one 12 bit $4 \times 10^7 \text{ s}^{-1}$ pipelined ADC. The tested results show that power consumption of digital circuits is reduced by 93% and the memory of ROM is saved by 95%, compared with the unimproved technique. The ADC implemented in SMIC 0.18 μm CMOS process consumes 210 mW, and occupies a chip area of $3.3 \text{ mm} \times 3.7 \text{ mm}$.

Keywords: pipelined analog-to-digital converter; digital calibration; adaptive search algorithm; magnitude incremental comparison algorithm

在传统的流水线模数转换器(ADC)的设计中, 为获得较准确的增益和较小的非线性误差, 其中的余量放大器通常采用闭环的高性能运算放大器^[1-2], 但它会产生较大的功耗. 文献[3-4]将流水线第 1 级精确的余量放大器用一个简单的开环放大器代替, 对开环放大器产生的误差用小功耗的数字电路进行

后台校准, 达到了降低功耗和提高速度的目的. 但是, 这种技术在估算开环放大器的 1 阶和 3 阶误差参数时, 采用传统的方法计算双余量曲线距离, 用了大量的计数器、比较器和加法器等数字电路, 不利于功耗的降低, 而且在估算 3 阶非线性误差时需要使用复杂的查找表, 占用了大量的 ROM 空间和芯

$$2\left(-\frac{1}{3p_3}\right)^{1/2} \cos\left\{\frac{\pi}{3} + \frac{1}{3} \arccos\left[D_{bl}/2\left(-\frac{1}{27p_3}\right)^{1/2}\right]\right\} - D_{bl} \quad (1)$$

式中: D_{bl} 为后端 ADC 的输出. 利用查找表的方法将此二元函数求出, 并从 D_{bl} 中减去二元函数的值, 就可以将 3 阶误差消除.

实现上述数字校准算法的距离估算电路和实现二元函数查找表的电路比较复杂, 功耗和占用芯片面积均较大.

2 校准算法实现电路的改进

2.1 距离估计电路

在对双余量曲线进行距离估计时, 需要在余量曲线中特定点的附近进行搜索并进行计数和比较, 其需要搜索的点数 N 与开环放大器增益的变化范围之间的关系为^[3-4]

$$N = 2^{n-1} (G_{1,\max} - G_{1,\min}) / 8 \quad (2)$$

式中: n 为除第 1 级外的后端 ADC 转换的位数, 根据本文 ADC 的结构, $n=11$; $G_{1,\max}$ 与 $G_{1,\min}$ 分别为开环放大器所能够达到的最大增益与最小增益, 考虑到数字校准算法的需要及电荷共享效应造成的衰减, 本文将增益的变化范围设定为 7.5 至 8.5. 由式 (2) 可计算出 $N=128$. 距离估计电路在这个范围内的每一个点上进行搜索估计时, 都需要一组由计数器、比较器和加法器组成的电路单元, 因此需要 N 个电路单元. 如果按照传统的方法来实现距离估计电路, 则当 N 为 128 时, 全部数字电路的功耗为 152 mW.

本文采用自适应搜索的方法来减小距离估计电路的规模和功耗. 该方法只要求在一段较小范围内进行搜索, 但是搜索范围的中心可以自适应地变化. 从图 3 可以看出, 如果在搜索范围内, 所有点对应的累积柱状图的次数小于 $N_{\text{RNG}}=1$ 时余量曲线所对应的次数 r , 那么与 r 相匹配的点应该还在这个搜索范围的横坐标以右的范围中, 此时应将搜索中心向右移动, 在一个新的范围内进行搜索. 反之, 将搜索中心向左移动, 直至搜索到目标点为止. 自适应搜索的引入使得距离估计电路需要的电路单元大大减少. 在本文芯片的设计中, 基于对电路规模和误差参数收敛速度的综合考虑, 距离估计电路的搜索范围设定为 10, 即只需要 10 个电路单元. 对电路进行综合后的结果显示, 全部数字电路的功耗小于 10 mW, 与未采用自适应搜索的方法相比, 功耗降低了

93%.

2.2 二元单调函数 LUT 的电路设计

计算 3 阶非线性误差时需要计算式 (1) 的误差 e . 根据 ADC 的结构及校准算法的需要, D_{bl} 为 12 位数字, 其最后 2 位是不精确的, 所以将最后 2 位除去, 把 D_{bl} 设定为 10 位数字, p_3 设定为 7 位的数字, e 设定为 10 位数字. 如果简单地将 D_{bl} 和 p_3 这 2 个变量作为 LUT 的地址输入, 则 LUT 总的地址输入为 17 位, 因此 LUT 将占用 $2^{17} \times 10 = 1\,310\,720$ 位的 ROM 空间. 采用传统方法设计的 LUT 需要大量的 ROM 空间, 所以本文采用本课题组所提出的幅值增量比较算法来得到 3 阶误差的数值^[8].

2.2.1 幅值增量算法的原理 幅值增量比较算法利用二元单调函数 $Z=F(X,Y)$ 的单调特性, 通过改变 LUT 的存储数据以及使用比较器和加法器, 将该二元函数的一个变量值作为 ROM 的地址输入, 另外一个变量值与 ROM 的存储值进行比较, 将比较值相加来实现函数值的输出.

在传统的 LUT 设计中, 当输入为 (X_m, Y_n) 时, 将变量 X_m, Y_n 作为地址, 去寻找 Z_{mn} 的值, 设计的原理如图 4 所示.

在幅值增量比较算法中, 将变量 X 作为地址, Z 的值按照单调性排列作为 ROM 的编号 (Z 的数值恰好等于 ROM 的编号), X 和 Z 对应的变量 Y 被写入 LUT 中, 左下角空缺以 0 补齐, 右上角空缺以变量 Y 的最大值加 1 后的值进行填补, 如图 5 所示. 当输入为 (X_m, Y_{mi}) 时, 将 Y_{mi} 与 X_m 相对应的 LUT 的值相比较, 根据函数的单调性, 小于或等于 Y_{mi} 的 LUT 值的个数即为函数值 Z .

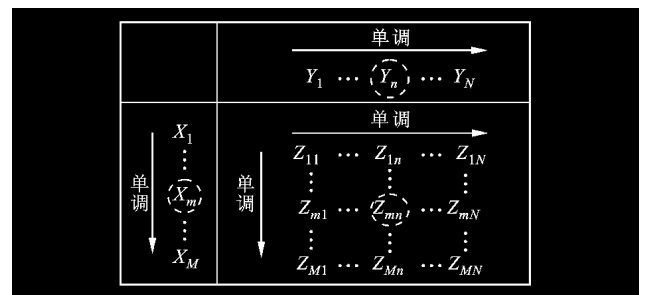


图 4 传统 LUT 的设计原理

2.2.2 LUT 的实现 式 (1) 是一个单调连续的二元函数, 符合幅值增量比较算法的应用条件, 可将 p_3 作为 ROM 的输入地址, 以转换为二进制数的 e 值作为 ROM 的编号, 将 D_{bl} 作为 ROM 的存储值. 当输入 (D'_{bl}, p'_3) 时, 将 D'_{bl} 与 ROM 中以 p'_3 为地址的存储值进行比较, 将小于或等于 D'_{bl} 的 ROM 存

储值的个数作为函数的输出。

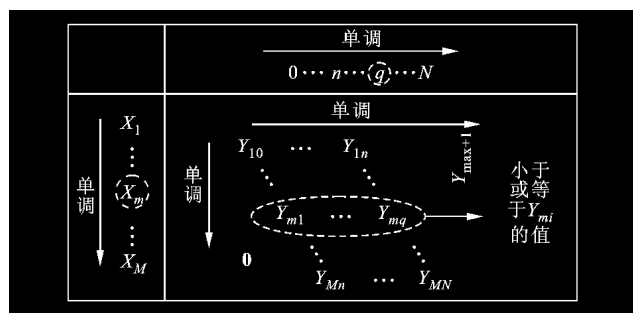


图5 本文幅值增量比较算法的LUT设计原理

下面计算采用幅值增量比较算法后式(1)的LUT所占ROM空间的大小。

为方便计算二元函数的值, D_{b1} 和 p_3 应转换为模拟量进行计算, 在本文ADC的设计中, 将转换为模拟量后的 D_{b1} 和 p_3 的范围分别设定在 $(0, 1.18)$ 和 $(-0.029, -0.044)$, 则二元函数的最大值 $e_{\max}$ 约为 0.090 2, 将 $e_{\max}$ 转换为 10 位数字, $\frac{e_{\max}}{2} \times 2^{10} = 46.182$, 取整数为 47, 即应使用 47 个 $2^7 \times 10$ b 的ROM空间, 那么所需的ROM的大小为 $47 \times 2^7 \times 10 = 60\ 160$ b。

所以, 采用幅值增量比较算法后, 减小了 95% 的ROM容量, 而且不需要RAM。

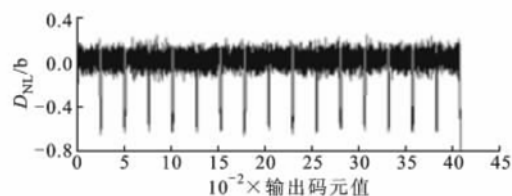
3 实验结果

为验证数字校准算法的效果, 在均采用数字校正算法的前提下, 对采用数字校准算法和未采用数字校准算法的ADC的性能做如下比较。未采用校准算法时流水线ADC的微分非线性(D_{NL})和积分非线性(I_{NL})的变化情况如图6所示, 从图中可以看出, D_{NL} 为 $-0.7 \sim 0.3$ b, I_{NL} 为 $-6 \sim +2$ b。采用本文校准算法后的 D_{NL} 和 I_{NL} 的变化情况如图7所示, D_{NL} 为 $-0.3 \sim 0.2$ b, I_{NL} 为 $-0.4 \sim 0.3$ b。由图6、图7可以看出, 校准后的 D_{NL} 和 I_{NL} 都减小了, 达到了处于 ± 0.5 b 范围内的要求。

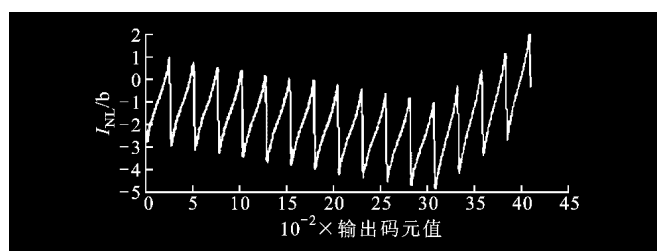
在输入正弦信号为 16.98 MHz 时, 未采用校准算法的频谱如图8所示, 可计算出无杂散动态范围(SFDR)为 65.53 dB, 信号与噪声及谐波失真比(SNDR)为 57.73 dB。本文采用校准算法后, 在相同输入频率下的输出信号频谱如图9所示, 可计算出SFDR为 70.54 dB, SNDR为 64.57 dB。由此可见, 本文的校准算法优化了ADC的动态性能。

本文的12位流水线ADC采用SMIC 0.18 μm

CMOS工艺, 采样率为 $4 \times 10^7 \text{ s}^{-1}$ 。同未改进前的校准算法相比, 采用自适应搜索算法后数字电路的功耗降低了 93%, 采用本文幅值增量比较算法后节约了 95% 的ROM空间。整个芯片功耗约为 210 mW。流片后的ADC芯片照片如图10所示, 其尺寸为 $3.3 \text{ mm} \times 3.7 \text{ mm}$ 。

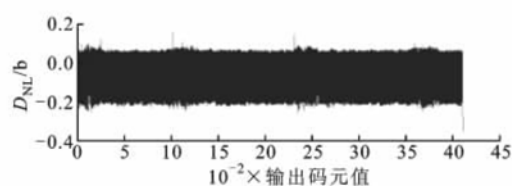


(a) D_{NL}

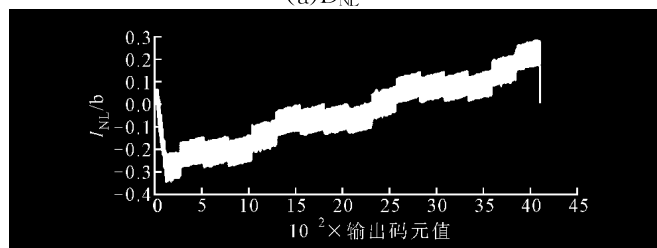


(b) I_{NL}

图6 未采用校准算法的 D_{NL} 和 I_{NL}



(a) D_{NL}



(b) I_{NL}

图7 采用校准算法后的 D_{NL} 和 I_{NL}

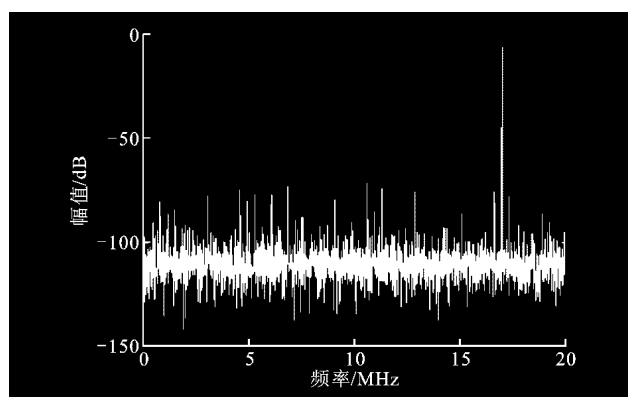


图8 未采用校准算法的输出信号频谱

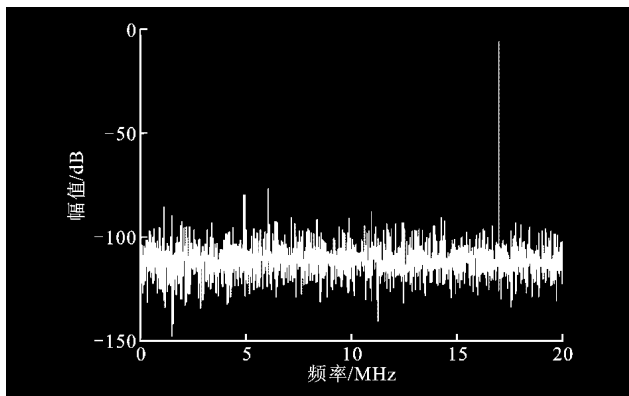


图9 采用本文校准算法后的输出信号频谱图

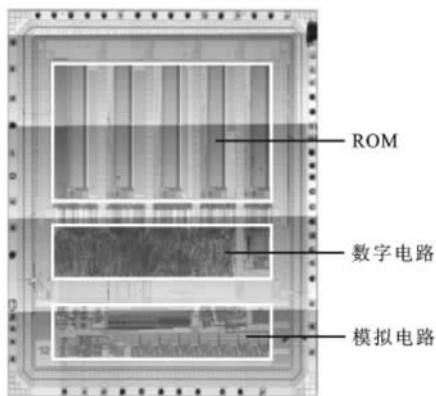


图10 ADC芯片照片

4 结 论

本文采用自适应搜索算法和二元单调函数的幅值增量比较算法,对基于统计规律的数字校准算法进行了改进与完善.设计了一个12位、采样率为 $4 \times 10^7 \text{ s}^{-1}$ 的流水线ADC,采用本文的数字校准算法对开环余量放大器的误差进行了校准.测试结果表明,采用本文自适应搜索算法后的数字电路功耗显著减小,而二元单调函数的幅值增量比较算法使实现二元函数的查找表所需的ROM空间大为减少.本文的数字校准技术也可用于流水线ADC中每级

转换多位的其他余量放大器的校准.

参考文献:

- [1] GULATI K, LEE H S. A low-power reconfigurable analog-to-digital converter [J]. IEEE Journal of Solid-State Circuits, 2001, 36(12): 1900-1911.
- [2] KIM H C, JEONG D K, KIM W. A partially switched-opamp technique for high-speed low-power pipelined analog-to-digital converters [J]. IEEE Transactions on Circuits and Systems, 2006, 53(4): 795-801.
- [3] MURMANN B, BOSER B E. Digitally assisted pipelined ADCs [M]. Boston, MA, USA: Kluwer Academic Publishers, 2004:75-107.
- [4] MURMANN B, BOSER B E. A 12b 75 MS/s pipelined ADC using open-loop residue amplification [J]. IEEE Int Solid-State Circuits Conf Dig Tech Papers, 2003, 38(12): 2040-2050.
- [5] IROAGA E, MURMANN B. A 12-Bit 75-MS/s pipelined ADC using incomplete settling [J]. IEEE Journal of Solid-State Circuits, 2007, 42(4): 748-756.
- [6] LI J, MOON U N. Background calibration techniques for multistage pipelined ADCs with digital redundancy [J]. IEEE Transactions on Circuits and Systems, 2003, 50(9): 531-538.
- [7] MING J, LEWIS S H. An 8-bit 80-Msample/s pipelined analog-to-digital converter with background calibration [J]. IEEE Journal of Solid-State Circuits, 2001, 36(10): 1489-1497.
- [8] 沈磊,陈贵灿,谷宁静. 一种基于LUT的二元单调函数的幅值增量比较算法[J]. 微电子学与计算机, 2006, 23(7): 141-143.
SHEN Lei, CHEN Guican, GU Ningjing. Magnitude incremental comparison for a binary monotone function based on LUT [J]. Microelectronics & Computer, 2006, 23(7): 141-143.

(编辑 刘杨)